第2章

ICパッケージ，チップ部品，LSI搭載技術の進化を
自社製品の進化に生かす！

プリント基板，小型化・高密度化への テクニック 7連発

八甫谷 明彦

ここでは，プリント配線板を小型化するための方法について解説する．同時に，進化を続ける高密度実装の現状についても解説する．電子回路を搭載した機器の開発に携わるエンジニアには，常識として知っておいてほしい内容である．　　（編集部）

携帯電話，デジタル・カメラ，ディジタル・ビデオ・カメラ，ノート・パソコンなどを小型化，薄型化，軽量化，高機能化するために，高密度実装は欠かせない技術となっています．実装技術は，プリント配線板設計・製造技術，回路やデバイス設計，部品搭載技術，プリント回路基板検査技術などを包括する統合的な技術であり，さまざまな先端技術に支えられています．

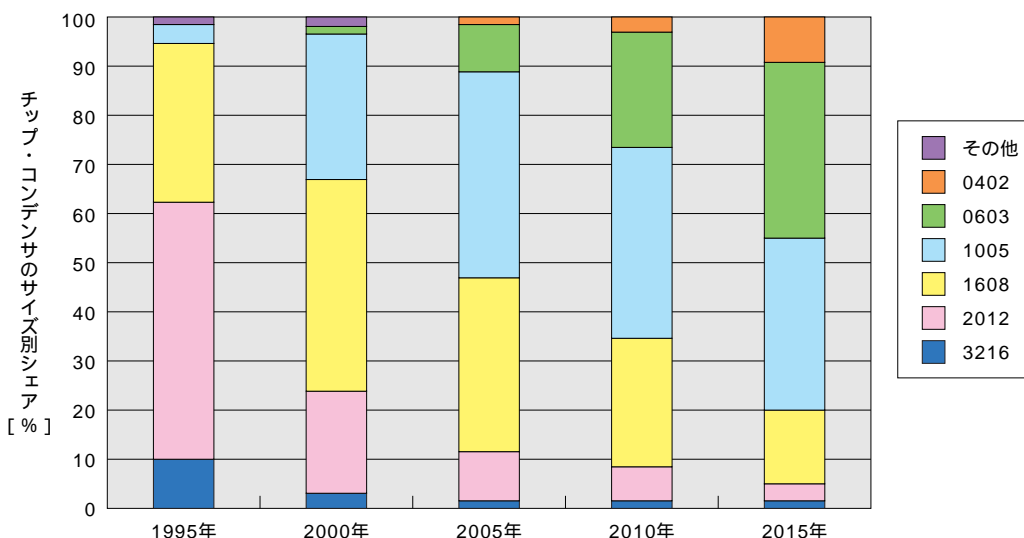
1 チップ部品の進化を利用する

テクニック1 小型化が進むチップ抵抗やチップ・コンデンサに対応する製造技術を常に持つこと

抵抗やコンデンサの高密度実装を実現する技術として，チップ部品の小型化があります．チップ部品のサイズは，「1608」や「1005」といった4桁の数字で表現します．1608は縦1.6mm×横0.8 mm，1005は縦1.0 mm×横0.5mmを意味します．

1）10年で面積は1/4以下に，進化を続けるチップ部品

図1はチップ・コンデンサにおける1995年から2015年までのサイズ別シェアのトレンドです．1995年は2012サ

図1[3]
チップ・コンデンサのサイズ別シェアのトレンド
1995年は2012サイズ，2000年は1608サイズ，2005年は1005サイズが一番多く流通している．2010年から2015年にかけて0603が増え，さらに小さい0402も少しずつ増えると予測される．

KeyWord　3216，2125，2012，1608，1005，0603，0402，ベア・チップ，Auバンプ圧接工法，Au異方性導電工法，はんだバンプ工法，パッケージ・スタック，チップ・スタック，ウェハ・スタック，ビルドアップ，部品内蔵プリント配線板

	1608	1005	0603	0402
面積(mm²)	1.44(100)	0.50(35)	0.18(13)	0.08(6)
体積(mm³)	1.15(100)	0.25(22)	0.05 (5)	0.02(1)

注：カッコ内は面積比および体積比．1608を100とする

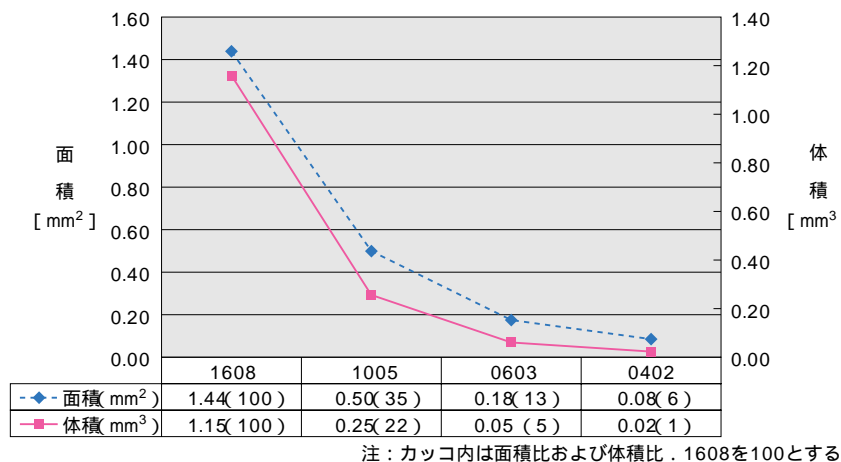



図2　チップ部品の面積，体積の比較
1608，1005，0603，0402サイズの4種類について面積と体積を比較した．

図3　チップ部品の実装
「小さい」という特徴を生かすには，部品間のギャップ(間隔)やプリント配線板のフット・プリントを考慮した設計や製造も必要．

イズ，2000年は1608サイズ，2005年は1005サイズが一番多く流通しており，年々小型化が進んできました．

チップ・コンデンサは誘電体の薄層化，多層化，高誘電率化および高精度加工により，小型サイズにおいても容量の拡大が進んできています．従来，1μF以上の大容量は1608以上のサイズでしたが，現在1005サイズで1μFを実現でき，比較的大容量が要求される電源ラインのデカップリング用途などにおいても，1005サイズの使用が可能となっています．また，現在一番コストが安く，実装面でも難易度がそれほど高くないことから，携帯電話やパソコン，ディジタルAV機器などで採用が拡大しています．

2）0603サイズで0.1μF，高周波機器から民生機器まで応用できる

一方，2010年から2015年にかけて，0603サイズが増え，さらに小さい0402サイズも少しずつ増えると予測されています．0603サイズのチップ・コンデンサは，0.1μFの容量を実現でき，携帯電話などの小型携帯機器で使われるコンデンサ容量をほぼカバーすることができます．これにより0603サイズは，比較的低容量のコンデンサが使われる高周波モジュール部品から携帯電話，ビデオ・カメラ，デジタル・カメラなど小型携帯機器へと用途が拡大しています．

0603サイズの次なる小型化対応として，0402サイズが2005年ごろから商品化され，無線LANやワンセグ・チューナのような高周波モジュールで採用され始めています．0402サイズは0603サイズに比べて縦方向の寸法が約30％短いため，コンデンサ中のインダクタンス成分が減っています．これらのことから，サイズの小型化だけでなく，より高周波での使用が可能となります．

図2は，1608，1005，0603，0402サイズについて，面積と体積を比較したものです．サイズが一つ小さいだけでも大幅に小型化されており，0603や0402は高密度実装に大きく貢献します．

3）部品同士の間隔も狭くする，搭載技術がますます重要に

図3に示すように，チップ部品のサイズが小さいという特徴を生かすには，部品間のギャップ(間隔)やプリント配線板のフット・プリントを考慮した設計，それに対応できるだけの製造技術が必要です．

部品間のギャップを狭く設計する狭間隔実装は，チップ部品の部品間ギャップを例にとると，0.4 mmから0.3 mm，0.2 mm，0.1 mmへと変遷してきました．最近では0.06 mmの技術発表も見受けられます．また，一般的なチップ部品のフット・プリント設計においては，チップ部品の外形よりも大きなはんだ付け部を確保したいところです．しかし，高密度実装を実現するには，フット・プリントのサイズをチップ部品のサイズと同じ程度にまで縮小する必要があります．

小型チップ部品の実装については，1005サイズまでは一般的な設計や製造技術で対応できました．しかし，0603，0402サイズについては，設計や製造でのマージンが大幅に小さくなり，温度プロファイルが最適な条件でなかったり，位置のマージンが小さかったりした場合は，不良が発生する場合があります．余裕のある最適な条件で製造するため

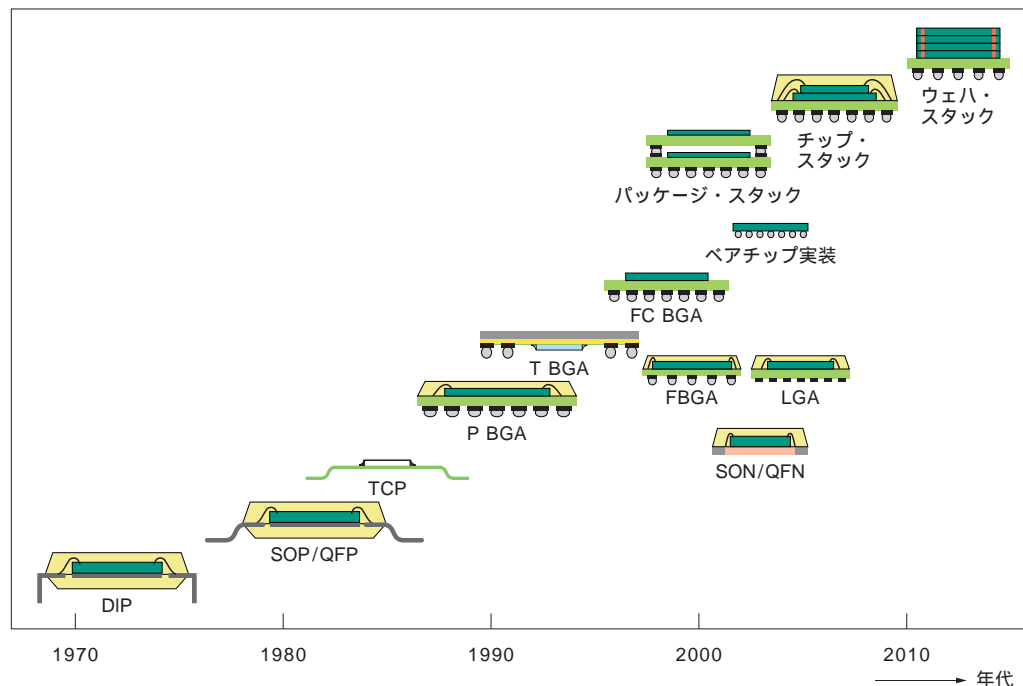



図4
半導体パッケージの変遷
2010年にはチップ・スタックやウェハ・スタックが当たり前?

には,高精度のはんだ印刷技術,部品搭載技術,プリント配線パターン設計,搭載部品の選択が重要です.

2 半導体パッケージの進化を利用する

テクニック 2 進化する半導体パッケージの動向を常に把握する

1) 1960年～1970年代

図4は半導体パッケージの変遷です.1960年代,1970年代には,スルー・ホールにDIP(dual inline package)のリード・ピンを挿入し,はんだ付けを行うスルー・ホール実装技術が主流でした.

2) 1980年代

1980年代には,ガルウイング形状のリードが周辺に付いたQFP(quad flat package)や,SOP(small outline package)といったパッケージが登場し,プリント配線板の両面に実装できるようになりました.主にQFPはロジック系LSI,SOPはメモリ系LSIに使われました.

3) 1990年代

1990年代,QFPなどのパッケージにおいては,多ピン化や狭ピッチ化に対応することが難しくなってきました.これを解決するため,面格子上に接続用のはんだボールを配置するBGA(ball grid array)が登場しました.BGAの利点は,同じピン数であってもQFPよりパッケージの寸法が小さく,端子のピッチも大きいため,容易に高い歩留まりではんだ付けができることです.BGAの端子ピッチは1.5 mmピッチから1.27 mmピッチ,1.0 mmピッチ,0.8 mmピッチへと変遷してきました.

BGAにはインターポーザに有機プリント配線板を用いたP BGA(plastic BGA)やFC BGA(flip chip BGA),ポリイミド・テープを用いたT BGA(tape BGA)などがあり,ボンディング方式やインターポーザの材料に違いがあります.P BGAはボンディング方式としては,ワイヤ・ボンディングです.FC BGAはCPUやグラフィック・チップなどの500ピン以上の多ピンで採用される場合が多く,フリップ・チップ・ボンディング方式を用いています.

4) 1990年代半ば以降

1990年半ばにはCSP(chip size package)が,携帯機器向け部品のパッケージとして採用され始めました.CSPはベア・チップのサイズと同じか,それよりわずかに大きいパッケージの総称です.CSPは各社からさまざまな種類のものが提供されています.大まかに分類すると,BGAと同じく面格子上に接続用のはんだボールを配置するFBGA,はんだボールを形成せず面格子上に電極があるLGA(land grid array),リードのないSON(small outline non-lead)やQFN(quad flat non-lead)に分けられます.

(a) Auバンプ圧接工法

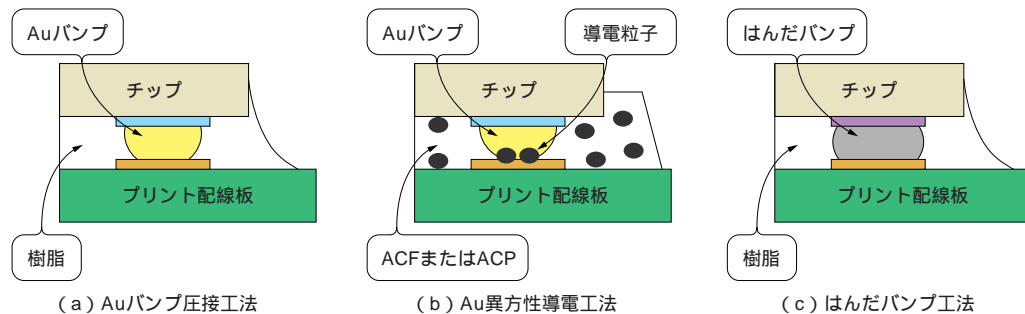
(b) Au異方性導電工法

(c) はんだバンプ工法

図5
フリップ・チップの実装方法
Auバンプ圧接工法，Au異方性導電工法およびはんだバンプ工法がある．

FBGAでは現在，0.65 mmや0.5 mmピッチの品種が多く生産されていますが，今後，0.4 mmや0.3 mmピッチ，2010年ごろには0.2 mmピッチと，狭ピッチ化が進むと予測されています．SONやQFNは，SOPやQFPのリードをパッケージ外形に合わせて切断したような，リードのないパッケージです．このパッケージの特徴は，以前からあるSOPやQFPの製造インフラを使い低コストで生産ができ，リードを省くことにより，実装面積を小さくし，高密度化を図るところにあります．100ピン前後までの対応が可能なパッケージです．

プリント配線板への実装は，パッケージの周囲にある下面電極を使って印刷したクリームはんだで接合します．リードがないため，はんだ接合部が見えにくく，検査が難しい面があります．また，SOPやQFPのリードは，プリント配線板とパッケージの熱膨張差を吸収する効果がありましたが，SONやQFNはリードがないため，熱膨張差を吸収する効果が薄れ，電子機器のON/OFFではんだ接合部に生じる熱応力が大きくなります．対策としては，プリント配線板のフット・プリントの最適設計やはんだ量のコントロールなどがあります．

テクニック3 半導体のパッケージングをしないベア・チップでさらに小型化を

半導体のパッケージングをしないでベア・チップを直接プリント配線板に実装する方法は，2次元的には一番面積を小さくできる高密度実装になります．ベア・チップのプリント配線板への実装方式は，基本的にはパケージ内部にベア・チップを実装するときと同じ方法で，ワイヤ・ボンディングとフリップ・チップを使います．

フリップ・チップはワイヤ・ボンディングと比べると，狭い面積での実装が可能です．接続の信号伝送線路長が非常に短く，寄生インダクタンスを低減でき，ピン数によらず一括して実装できるなどといった利点もあり，近年採用例が増えています．フリップ・チップにはさまざまな実装方法がありますが，大まかに分類すると図5の3種類になります．

1) Auバンプ圧接工法

Auバンプ圧接工法は，チップにAuバンプを形成し，プリント配線板の電極にAu/Niめっきを施します．エポキシ系の樹脂をチップとプリント配線板の間に入れ，加熱，加圧することにより，樹脂を収縮硬化させ，Au-Auの物理的な接触で電気的に接続します．接合時に超音波を加え，Au-Auの金属接合にする方法もあります．

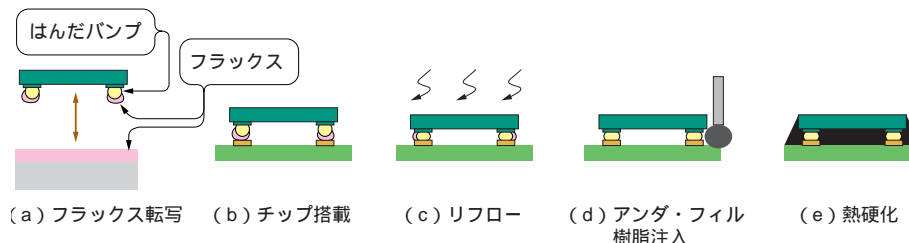
2) Au異方性導電工法

Au異方性導電工法は，異方性導電フィルム（ACF：anisotropic conductive film）や異方性導電ペースト（ACP：anisotropic conductive paste）といったバインダと呼ばれるガラス・エポキシ系の絶縁樹脂の中に，直径数μmの金属粒子（NiまたはAg），またはめっきが施された樹脂粒子が均等に混ざった材料を使います．この材料をチップとプリント配線板の間に入れ，加熱，加圧することにより，チップのAuバンプとプリント配線板の電極の間にACFまたはACPの導電粒子が挟み込まれ，電気的に接続されます．

3) はんだバンプ工法

はんだバンプ工法は，C4（controlled collapse chip connection）と呼ばれ，ベア・チップのBGA版のように，チップとプリント配線板をはんだで接続します．ただし，BGAのように，クリームはんだ印刷→搭載（マウント）→リフローのような工程とは少し異なります（図6）．

チップの電極ピッチは200μm以下であり，クリームはんだの印刷ができないことから，チップのはんだバンプに活性剤となるフラックスを転写します．そして，チップをプリント配線板に搭載，リフローし，電気的に接続します．その後，チップとプリント配線板の間にアンダ・フィルと

図6
はんだバンプ工法の工程
はんだバンプが狭ピッチのため，クリームはんだの印刷ができないことから，チップのはんだバンプに活性剤となるフラックスを転写する．

いう樹脂を毛管現象で注入し，熱で硬化します．その理由の一つは，はんだの接続部が微細なので，アンダ・フィルを使って固定し，外部からの機械的応力に耐えられるようにするためです．

もう一つの理由は，熱応力を緩和するためです．プリント配線板へのフリップ・チップ実装では，プリント配線板とチップの熱膨張係数に大きな差があります．プリント配線板の熱膨張係数は14ppm/℃～16ppm/℃，シリコンのチップは2ppm/℃～3ppm/℃程度です．

熱膨張係数の差が大きいと，電子機器のON/OFFによる発熱によって，はんだ接合部に生じる熱応力が大きくなり，はんだ接合部が破断する可能性が高くなります．そこで，アンダ・フィルをプリント配線板とチップとの間に入れ，熱応力を緩和しています．

はんだバンプ工法のメリットは，一般的な表面実装工程と似ているため，装置の見直しや一部の工程を追加することにより，普通の表面実装部品と同時に実装が可能なことです．

4) ベア・チップの良品率の積がメイン・ボードの良品率に

ベア・チップをダイレクトにメイン・ボードに実装するには，品質が保証されたベア・チップKGD (known good die) が必要です．ベア・チップの実装後は，アンダ・フィル樹脂で固定してあるため，ベア・チップを交換することができません．リペアができないとなると，プリント回路基板ごと廃棄することになってしまいます．また，複数のベア・チップを搭載した場合は，ベア・チップの良品率の積が，プリント回路基板の良品率になってしまいます．

例えば，良品率が98％のベア・チップを3個搭載すると，プリント回路基板の良品率は約94％になってしまいます．以前は，技術的な問題や品質保証の観点から，KGDの出荷はほとんどありませんでした．しかし，最近はベア・チップ実装やSiP (system in package) の要求があり，対応する半導体メーカもでてきています．ただし，検査への要求レベルがパッケージと異なる場合もあり，注意して取り扱う必要があります．

テクニック 4 横がだめなら上へ…LSIを3次元的に実装する

LSIを従来の2次元的な実装だけではなく，3次元的に実装することで，さらなる高密度化を狙う技術があります．このような3次元実装技術は，「パッケージ・スタック」，「チップ・スタック」，「ウェハ・スタック」の3種類に分類できます．

1) パッケージ・スタック

パッケージ・スタックは，パッケージとパッケージを重ねる方法です．最近ではPOP (package on package) と呼ばれます．パッケージを個々に検査を済ませてから3次元に重ねることから，高い歩留まりを確保できます．また，市販のパッケージも搭載できるため，多くのアプリケーションに適用できます．

2) チップ・スタック

チップ・スタックは，パッケージの中でチップを重ねる方法です．ワイヤ・ボンディング技術を使ったスタック型CSPは，フラッシュ・メモリとSRAMを組み合わせた複合メモリで実用化されています．2段から5段積みのものが量産されており，10段程度までのスタック技術が開発されています．

チップを多段化するとパッケージが厚くなり，薄型の携帯機器の要求に合わなくなります．それを解決するために，チップの回路（通常700μm前後）とは反対面を削るバック・グラインド加工を行い，50μ～100μm程度まで薄くする技術があります．現在ウェハの最大量産サイズは直径300mmですから，このサイズで髪の毛の太さ程度にまで薄くすることが，いかに難しいか想像できると思います．

3) ウェハ・スタック

ウェハ・スタックは，ウェハのシリコン・チップに微細な貫通孔をあけ，チップ表面と裏面を導通する電極とし，

チップ間を直接，接続する方法です．採用実績はまだありませんが，次世代技術として，さまざまなメーカやASET（技術研究組合超先端電子技術開発機構）が，NEDO（新エネルギー・産業技術総合開発機構）の委託を受けて開発をしており，2010年ごろに量産化が見込まれています．

今後は，さらに高密度化，高性能化を実現するために，この3種類の3次元実装技術を複合することにより，複数個のチップを高度にモジュール化した3次元複合パッケージが実用化されるものと予測され，SiPの要素技術として期待されています．

3 プリント配線板の進化を利用する

テクニック 5 多層板の構造を知り尽くし適材適所に使い分ける

プリント配線板はさまざまな電子部品を電気的，機械的に接続するものであり，電子回路のどだいとなるものです．電子部品の高密度化の際には，プリント配線板の高密度化も欠かせない技術となっています．

1）一番基本的な構造…貫通スルー・ホール

図7は多層プリント配線板の変遷です．多層構造のプリント配線板において，一番基本となる構造は，貫通スルー・ホールです．貫通スルー・ホールを利用した多層構造は，現在でもパソコン，ディジタル・テレビなどにおいて，さまざまなメイン基板に採用されています．

基本的な製造工程は，内層パターン形成→積層→貫通穴明け→スルー・ホールめっき→外層パターン形成となっています．特徴としては低コストであり，BGAのピッチは0.8 mm程度まで対応が可能です．ピッチが0.8 mm未満のBGAは配線できないことや，スルー・ホールを置いた場所には表裏とも実装用のフット・プリントを配置できないなどといった制限があります．

2）1990年代に登場…ビルドアップ

貫通スルー・ホールの制限を解消する技術として1990年ごろから，ビルドアップ・プリント配線板がでてきました．この構造は，ベースとなるコア層に薄いビルドアップ層を積み上げたものになります．一般に層の構成は，「2＋4＋2」というように表現します．これは4層のコア層の両側にそれぞれ2層のビルドアップ層を積み上げるという意味です．

ビルドアップ・プリント配線板には，さまざまな製法，材料，構造があります．また，微細な接続穴をあける製法も何種類かありますが，レーザを利用する方法が最も一般的です．ビルドアップ層には微細なビアを形成できるため，狭ピッチ部品を実装でき，実装用のフット・プリントの中に微細な接続穴を設けることができます．

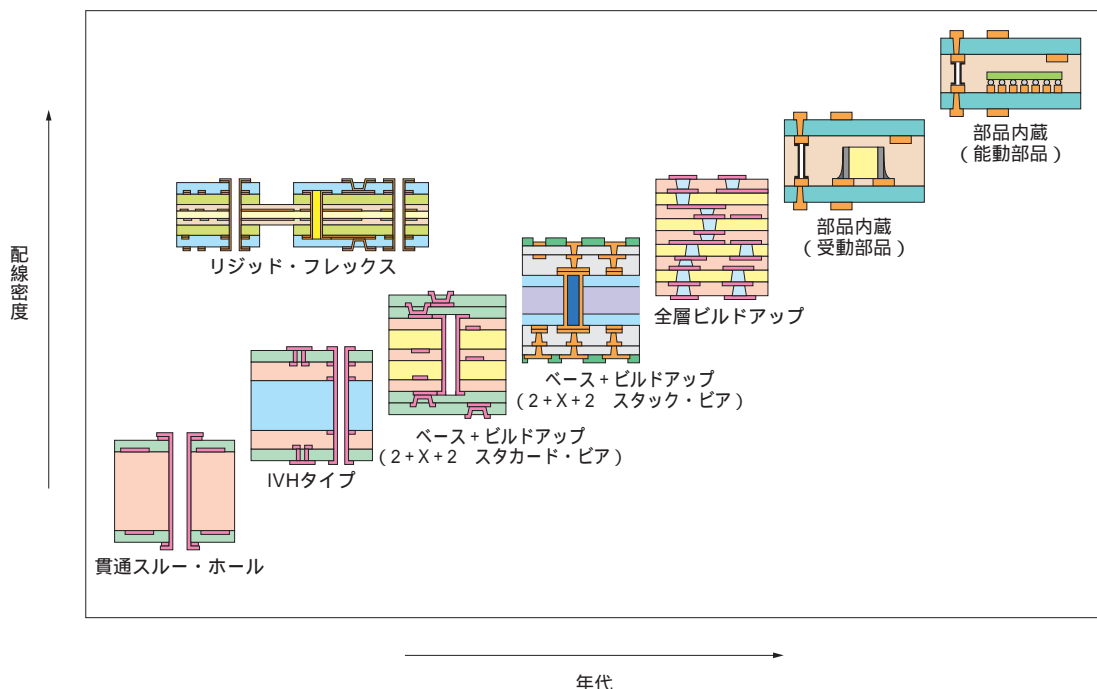



図7 多層プリント配線板の変遷

能動部品を内蔵した基板も量産化が始まっている．

3）高密度実装に向く全層ビルドアップ

前項の「2＋4＋2」ビルドアップ・プリント配線板は，ビルドアップ層の密度は高いのですが，コア層の部分は貫通スルー・ホールと同じ構造のため，密度はそれほど高くありません．さらなる高密度化を図った構造が全層ビルドアップです．全層の任意の層間に接続穴を配置できる構造です．このため，設計の自由度が非常に高く，任意の層間を最短距離で接続できるという利点を持っています．

高密度化に対応するには，プリント配線板の配線幅や必要なスペース，ビア/ランド径も重要なパラメータです．図8はディジタル・テレビと携帯電話の配線幅とビア径/ランド径を示したものです．2014年までは，配線幅とビア径/ランド径は年々小さくなっており，プリント配線板の材料や製法も新技術を取り入れて進化していくでしょう．

図8[5]　配線幅とビア用ランド径のトレンド

2014年までのディジタル・テレビと携帯電話の配線幅，ビア用ランド径の予測．

テクニック 6　発展途上の部品内蔵技術，その進化を見逃すな

部品を表面に実装するだけでなく，プリント配線板の内部に配置することにより，さらなる高密度化や電気特性向上が可能な部品内蔵プリント配線板が，開発段階から量産段階に移行しています．大まかに部品内蔵プリント配線板を分類すると，プリント配線板の製造工程で部品を作り込む品種と実部品を埋め込む品種があります（図9）．

1）製造工程で部品を作り込む品種

受動部品であるコンデンサや抵抗，インダクタは，プリント配線板の製造工程で作り込むことができます．ただし，通常の表面実装用チップ部品のばらつきが±0.5～±5％程度であるに対し，抵抗の作り込み方法の一つである厚膜印刷技術では±5～±20％と，ばらつきが大きくなります．現状は，それほど精度を求められない回路に採用されています．レーザ・トリミングを行えば，1～2％にまでばらつきを低減できますが，生産性の面で実現できていません．

2）コンデンサ

コンデンサを作り込むプリント配線板における課題は，大きな静電容量が取れないことです．コンデンサの静電容量は図10の式で表せます．表1は表面実装する0603サイズのチップ・コンデンサと，プリント配線板の工程で部品を作り込む厚膜印刷を使い0603サイズの面積に形成したコンデンサを比較した結果です．得られる静電容量は圧倒的に0603サイズのチップ・コンデンサが大きな値になっています．

0603サイズの積層セラミック・コンデンサでは，高い誘電率の材料を1μmの厚さで多層化できることから，小さなサイズでも高い静電容量を持つことが可能です．

それに対し厚膜印刷タイプは，プリント配線板のような有機材料の上で熱硬化をすることを考慮しているため，セ

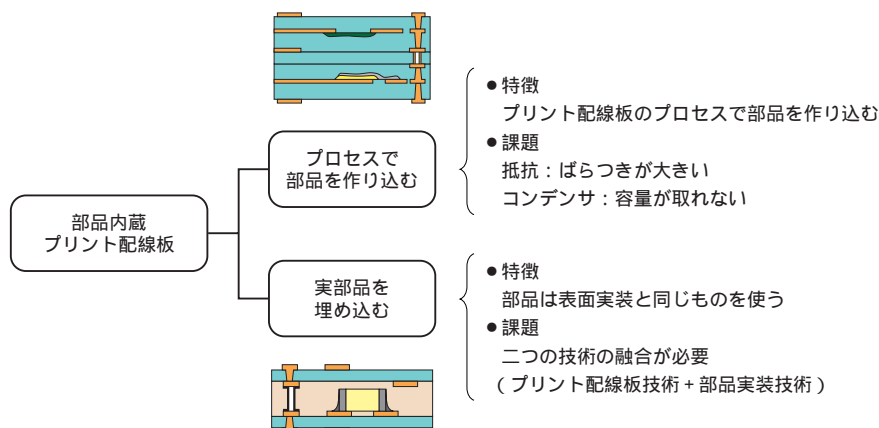



図9　部品内蔵プリント配線板の種類

大まかに分類すると，プリント配線板の工程で部品を作り込む品種と実部品を埋め込む品種がある．

ラミックのような高温で焼成する高い誘電率を持つ材料を使えません．また，誘電体の厚さも10μ～20μmで，1層だけであり，結果的に静電容量の値は小さくなってしまいます．もし，高い静電容量を確保する場合は，面積を増やす方法もありますが，面積を増やすと高密度化できないジレンマがあります．現状は，静電容量の値が大きくない回路に採用されています．

今後はいかにプリント配線板のような有機材料の上で大静電容量が形成できるかがポイントになります．樹脂と高誘電率セラミック粉とのコンポジット材で高誘電率化する技術や，半導体で使うスパッタやCVD(chemical vapor deposi-tion)などにより，プリント配線板上に低温形成で高誘電率膜を形成する技術の研究開発が行われています．

3）実部品を埋め込む品種

部品内蔵プリント配線板のもう一つが，実部品を埋め込む品種です．既に0603サイズの受動部品を内蔵したカメラ・モジュールや指紋認証モジュール，能動部品を内蔵したワンセグ・チューナ・モジュールなどが量産化されています．

能動部品については，前述の品質保証をされたベア・チップが必要です．実部品を埋め込む品種については，プリント配線板技術と部品実装技術の融合がポイントです．

部品内蔵の技術は，ようやく量産が始まった段階であり，小さなモジュール・レベルの回路に適用されています．この技術は発展途上であり，設計技術，製造技術などでは解決すべき課題はまだ多数あります．課題があるということは，逆に課題を克服すれば，製品の軽薄短小，高機能化が実現でき，ビジネス・チャンスがあるということです．この技術をさらに発展させるには，設計ツール・メーカ，部品メーカ，プリント配線板メーカ，機器メーカの境界を取り除いて，新しい発想で取り組む必要があると思います．

$$C=\frac{NS\varepsilon_0\varepsilon_r}{d}$$

C：コンデンサの静電容量[F]
N：誘電体の積層数
S：誘電体1層当りの電極面積[m^2]
ε_0：真空中の誘電率[8.85419×10^{12} F/m]
ε_r：誘電体の比誘電率
d：誘電体の厚み[m]

図10　コンデンサの静電容量の計算
面積は大きく，誘電体の厚みは薄く，誘電体の比誘電率を高くすると，静電容量の値は大きくなる．

テクニック7　フレキシブル・プリント配線板が自由な設計を可能にする

フレキシブル・プリント配線板は，FPC(flexible printed circuit)と呼ばれ，銅はくとフィルム状の絶縁物を貼り合わせた構造になっています．絶縁物としては，ポリイミドやポリエステル，液晶ポリマなどの材料が採用されています．現在，ポリイミドを使ったFPCが最もよく使われています．

FPCは，薄くて自由に折り曲げ可能であるとともに，極めて軽量であるという特徴を備えています．このため携帯機器の限られたスペースに立体的な配線ができ，製品の小型化，軽量化が可能となり，設計の自由度も向上します．

表1　0603チップと厚幕印刷の静電容量の比較
0603チップを表面実装する品種は高い静電容量を持てるが，厚膜印刷は高い静電容量を期待できない．

	0603チップ	厚膜印刷
N	多層	単層
S	1.8×10^{-7}m^2	1.8×10^{-7}m^2
ε_r	20000以下	100以下
d	1μm	10μ～20μm
C	0.1μF以下	5p～10pF
断面図	セラミックス誘電体 外部電極 内部電極	厚膜誘電体 プリント配線板内層パターン

FPCは1960年代米国の宇宙，航空機で使われ始めました．その後日本メーカに技術供与され，現在では日本メーカがシェアおよび技術的に強みを持っています．民生用FPCは，限られたサイズに回路を詰め込み，立体配線ができることから，デジタル・カメラ，ビデオ・カメラ，携帯電話などに多用され，高密度配線を実現しています．

また，ハード・ディスク・ドライブのヘッド・キャリッジ部とメイン・ボードを接続するFPC(**図11**)は，ヘッドがディスク上を読み書きする動作に合わせて，1億回以上の耐屈曲性が必要です．この特性に対応するため，FPCのフィルム材料と銅はくの選定，および設計を最適化しています．ディスクと磁気ヘッドのすき間は10n～20nmであることから，ディスクへの異物やさびによるデータ破損を防ぐため，高度な防さび対策，異物対策が必要です．

このFPCと多層プリント配線板を組み合わせた構造がリジッド・フレックス・プリント配線板です．ポリイミドをベースとしたFPCを，ガラス・エポキシをベースとしたリジッド・プリント配線板で挟み込んだ構造になっています．リジッド・フレックス・プリント配線板は，携帯電話やデジタル・カメラなどに採用されています．この構造の利点は，コネクタが不要になるため，実装面積の縮小と薄型化を実現できることです．最近では，リジッド部がビルドアップ構造になっており，さらなる高密度化を実現できるようになっています．

図11　ハード・ディスク・ドライブ用FPC
ハード・ディスク・ドライブ用FPCは，ヘッドがディスク上を読み書きする動作に合わせて，1億回以上の耐屈曲性が必要．

参考・引用*文献

(1) 原田享ほか；高密度実装技術，東芝レビュー，vol.59，no.8，pp.26-30，2004年.
(2) 八甫谷明彦；プリント配線板の最新技術をどう活用するか，Design Wave Magazine，2002年12月号，pp.96-103.
(3) * 村田製作所；セラミックコンデンサの基礎と応用，オーム社，2003年.
(4) 小型積層セラミックコンデンサ，村田製作所．http://www.murata.co.jp/articles/ta03d1.html
(5) * 宇都宮久修；プリント配線板動向，実装技術，vol.22，no.6，pp.36-48，2006年6月，技術調査会.

はっぽうや・あきひこ
(株)東芝　PC&ネットワーク社

<筆者プロフィール>
八甫谷明彦．東芝　PC＆ネットワーク社 PC開発センター 実装開発センター所属．現在，ノート・パソコンやハード・ディスクなど，ディジタル機器のプリント配線板，実装技術の開発および物理化学分析，環境負荷分析に従事している．